

ARM1176 SYSTEM DESIGN

4 jours

Réf. : 5193

OBJECTIFS

Cette formation, assurée par des formateurs habilités ARM™, aborde la problématique de la conception d'un système contenant un cœur processeur ARM11.

Elle permet :

- d'employer les microprocesseurs des familles ARM1176 dans la conception de systèmes complexes,
- d'identifier les différents blocs qui les composent,
- d'examiner en détail le fonctionnement du cœur et des différents bus internes,
- de mettre en œuvre les différentes fonctions du microcontrôleur grâce aux travaux pratiques sur environnements CodeWarrior/ADS/AXD, Eclipse/RVDS, Keil μVision, GNU/Lauterbach simulator, ou IAR Workbench,
- de décrire précisément les échanges de données entre le cœur système et les périphériques.

PRÉ-REQUIS

Des notions de base en électronique numérique, conception ASIC sont souhaitables.

Une connaissance générale de l'ARM et en particulier la connaissance du jeu d'instructions ARM V4T et V5TE, est vivement recommandée.

PROGRAMME

PREMIÈRE JOURNÉE

Architecture ARM

- Vue générale d'ARM
- Modes de fonctionnement ARM
- L'ensemble des registres ARM
- Program Status Registers
- Gestion d'exception, table des vecteurs, commutation automatique en mode ARM
- Ensemble d'instructions : branchement et sous-routines

Architecture du cœur ARM11

- Parallélisation des opérations dans le ARM11 (superscalar pipeline)
- Prédiction des branchements statiques vs dynamiques
- Exécution des transactions en mode dégradé de l'ARM11
- Pile de retour des sous-routines de l'ARM11

Vue d'ensemble de l'ARM1176

- Bloc diagramme
- Interfaces AXI (AMBA3)
- Exemple système ARM1176
- Reset et Horloge
- Démarrage

Sous-système mémoire

- Généralités sur le cache
- Point particulier sur le «Memory abort»
- Jeu d'instructions relatif à la mémoire
- Détail sur le flux mémoire entre la mémoire principale, le cache des niveaux 1 et 2
- Mémoires internes (Tightly Coupled Memories)
- Configuration et contrôle via CP15

DEUXIÈME JOURNÉE

Gestion et protection mémoire

- Introduction à la gestion des pages mémoires
- Architecture de la mémoire virtuelle V6
- Endianness ARM V6
- Alignement des données
- Memory Barriers

Jeu d'instructions ARMv6

- Nouvelles classes d'instructions
- Multiplication standard
- Multiplication «longue»
- Packed data types
- V6z, mode économie d'énergie via l'instruction NOP32

Contrôleur d'interruption

- Le contrôleur d'interruption
- Primecell VICs
- Réduction des temps de latence via la génération automatique des vecteurs d'interruptions
- Chronogramme de base du VIC
- Priorité et masquage des interruptions

TrustZone

- Concept de la TrustZone
- Transitions sécurisées à non sécurisées
- Les registres associés du CP15

TROISIÈME JOURNÉE

AHB – ADVANCED HIGH PERFORMANCE BUS

- Transferts de données avec AHB
- Utilisation des signaux HREADY, HRESP et HTRANS
- Implémentation de transaction indivisible

Protocole AXI

- Topologie : Connexion directe, multimaitre, multicouche
- Interconnexion AXI PL300
- Canaux AXI et handshake
- Support pour les transferts de données non alignés
- Ordonnement des transactions, exécution en mode dégradé
- Chronogrammes de lectures et d'écritures en mode «burst»

APB - BUS PÉRIPHÉRIQUES AVANCÉS

- Étape de décodage d'adresses
- Interconnect APB
- AMBA3 dans l'APB

Débogage de l'ARM11

- Généralité sur le débogage
- Code embarqué pour le débogage
- Interface DBGTAP

La trace sur un système ARM11

- Trace temps réel
- L'ETM11
- Trace avec ETM11
- Mise en œuvre d'une trace ETB

QUATRIÈME JOURNÉE

Système mémoire des niveaux 1 et 2

- Interaction entre le cache et les TCM
- Canaux du DMA
- Endianness
- Transferts de données périphériques
- Ports AHB
- Mise en œuvre du cache de niveau 2 (L210)

Synchronisation Multiprocesseurs

- Introduction à la notion de sémaphores
- Utilisation de l'instruction SWP
- Utilisation des instructions de synchronisation : LDREX, STREX et CLREX

Contrôle intelligent d'énergie

- Contrôle d'énergie conventionnelle

Synthèse et conclusion

© CénoSYS 2011-11