

LE STANDARD PCI 3.0

3 jours

Réf. : 5174

OBJECTIFS

Cette formation aborde les spécificités du standard PCI 3.0.

- Analyse des mécanismes de lecture «prefetch»/«post» écriture et des règles de synchronisation.
- Etude des protocoles de transfert avec utilisation d'un analyseur de bus.
- Etude des fonctions «host bridge», et plus spécialement la gestion des accès PCI au travers de la mise en oeuvre des régions de mémoire cache.
- Mise en oeuvre de routine logicielle pour l'accès à l'espace de configuration.
- Description des procédures d'initialisation : installation des routines d'interruption, allocation des régions mémoires.
- Gestion des performances PCI : choix optimal du réglage de la valeur LT, choix approprié de la priorité, activation du mode fast-back-to-back.

PRE-REQUIS

La formation est adaptée aux techniciens et ingénieurs souhaitant mettre en oeuvre une architecture PCI 3.0, et connaître ses particularités.

Des notions sur les bus et les communications numériques sont souhaitables.

PROGRAMME

PREMIÈRE JOURNÉE

Introduction

- Historique du standard PCI
- Spécifications du bus PCI
- Classification des périphériques PCI
- Introduction technologique
- Architecture des PC modernes

Architecture des périphériques PCI

- Bufferisation des informations
- Gestion des buffers
- Plages mémoire Prefetchable vs non-prefetchable
- Modèle échange Producteur/Consommateur
- Traitements optionnels
- Limitations du bus PCI

Interruptions et Reset

- Interruptions PCI
- Mécanisme d'acquiescement d'interruption
- Partage d'interruption
- Signalement des messages par interruption
- Reset, état opérationnel

DEUXIÈME JOURNÉE

Protocole de transferts

- Transferts simples
- Pinout, classification des signaux
- Arbitrage et protocole de transferts de données
- Décodage d'adresses en espace d'E/S, MEM ou CFG
- Adressage et transfert de données en 64 bits
- Initialisation du Maître et des Esclaves
- Mode Fast back-to-back
- Contrôle de parité
- Gestion des ressources partagées
- Exercice d'études du bus avec analyseur

DEUXIÈME JOURNÉE (suite)

Spécifications électriques

- Switched wave switching vs Incident wave switching
- Spécifications des grandeurs statiques
- Spécifications des grandeurs dynamiques : 33/66 MHz
- Horlogerie et découplage
- Recommandations et règles de routage électrique
- Listes de conformités au standard PCI 3.0

Spécifications PCI Industriel

- Bus PICMG PC passif
- Carte mezzanie CMC/PMC, gestion des pins BUSMODE
- Introduction au CompactPCI
- Introduction au PC104+ et PC.MIP

TROISIÈME JOURNÉE

Espace de configuration

- Configuration du mapping et registre de description
- Construction du mapping d'adresse PCI MEM and PCI IO
- Liste des capacités
- Transactions de configuration, routage IDSEL
- Transaction de CFG local vs distant
- Génération des transactions de configuration

Bridges PCI-TO-PCI transparents

- Numérotation du Bus
- Décodage d'adresses, règles de transaction passerelle
- Cycles de configuration distante
- Gestion d'erreurs

Cohérence du cache

- Mécanismes de «Cache» et de «Snooping»
- Possibilité d'accès RAM cache par le CPU hôte via le PCI
- Accès PCI Maître à la mémoire CPU Hôte
- Accès via Processeur PCI à la mémoire CPU Hôte

© CénoSYS 2011-01