

LE BUS PCI EXPRESS

3 jours

Réf. : 5175

OBJECTIFS

Cette formation aborde les spécificités du standard PCI Express de 3^{ème} génération.

- Etude des différents types de trafics pris en charge par le PCI Express.
- Etude de l'utilisation de canaux virtuels pour obtenir la qualité de service attendue.
- Description de la séquence d'énumération requis pour initialiser le switch PCIe.
- Etude des différentes étapes de la couche physique: codages 8b10b et 128/130b, brouillage, tampons élastiques, récupération d'horloge et la séquence d'essai de lien PCIe.
- Mise en évidence des différences entre les trois générations de bus PCI Express.

PRE-REQUIS

La formation est adaptée aux techniciens et ingénieurs souhaitant mettre en oeuvre une architecture PCI Express, et connaître ses particularités. De bonnes notions sur les bus PCI standard sont souhaitables. La formation «5174 - le standard PCI 3.0» en prérequis est vivement conseillée.

PROGRAMME

PREMIÈRE JOURNÉE

Performances et limitations PCI

- Limitation du bus PCI
- Le hub bus PCI
- Amélioration des performances : transmission différentielle et commutation de paquets

Introduction au standard PCI Express

- Introduction
- Topologie
- Couche protocole
- Qualité de services
- Couche physique

La couche physique

- Codage 8/10 bits
- Scrambling
- Les ensembles ordonnés
- Fonctionnement tampon élastique
- Lien d'essai, séquence détaillée étape par étape
- Jitter estimé et mesuré
- L'interface électrique
- Calibration du canal

Gestion d'énergie

- Gestion de l'alimentation de l'état de la liaison
- Mécanismes de gestion d'énergie PCI Express natifs
- Inscription des besoins d'énergie
- Interface de gestion d'énergie PCIe logicielle
- Transparence des opérations des bridges PCI-to-PCI

DEUXIÈME JOURNÉE

Format de paquets

- Avantages d'un protocole orienté paquet
- Formats TLP et DLLP

Routage de paquets

- Principe de base du PCI
- Routage des paquets par adresse
- Routage des paquets par ID
- Routage des paquets implicite

Acquittement TIP

- Objectifs de l'acquittement
- Compteurs/timers présents au niveau transmetteur et receveur
- Séquences, commutateurs Cut-through

Qualité de services

- Introduction, différenciation du trafic
- Compteur associé
- Mise à jour du crédit de fréquence

Contrôle de flux

- Overview, principe de crédit de transmission
- Arbitrage VC, de port et modèle de commutateur

Transactions PCIe

- Modèle producteur/consommateur PCI
- Commandes autorisées par le PCI-X
- Règles de transactions PCI Express

TROISIÈME JOURNÉE

Gestion d'interruption

- Signalement des messages par interruption
- Gestion d'interruption PCI Express

Gestion d'erreurs

- Principes généraux
- Gestion d'erreurs PCI et PCIe
- Gestion d'erreurs PCIe avancée

Espace de configuration

- Root Complex Register Block [RCRB]
- Enumération PCI Express
- Registres de configuration PCI-compatible
- ROMs d'extension

Différences entre PCIe GEN1/GEN2 et GEN3

- Nouvelle couche physique de GEN3 avec codage 128/130b
- Nouvelles spécifications du protocole de transactions du PCIe 2.1 et 3.0
- Nouveaux mécanismes d'accès aux configurations avancées PCIe

Débugage d'un système PCIe

- Liste de conformité à la norme
- Validation de la couche physique avec analyseur de données séries LECROY
- Analyseur de protocole LECROY
- Trace