

POWERPC MPC55xx

5 jours

Réf. : 5185

OBJECTIFS

Cette formation, assurée par des formateurs habilités Freescale, permettra au stagiaire :

- D'examiner en détail le fonctionnement du coeur PowerPC de la famille MPC 55XX, plus particulièrement la MMU, le cache et le jeu d'instruction pour le traitement du signal (SPE),
- D'utiliser les différentes fonctions du microcontrôleur grâce travaux pratiques sur des kits d'évaluation MPC5554 ou MPC5567,
- De développer un handler d'interruption générique,
- De décrire précisément les échanges de données entre le coeur système et les périphériques à travers le Crossbar Switch (XBAR)
- De programmer les contrôleurs d'entrées / sorties eTPU et eMIOS

PRE-REQUIS

Des notions de base en microprocesseurs et microcontrôleurs sont vivement recommandées. Des notions en électronique numérique, programmation assembleur ou C, bus CAN et module TPU sont souhaitables mais pas indispensables.

PROGRAMME

PREMIÈRE JOURNÉE

Vue d'ensemble du MPC55XX

- La roadmap des microcontrôleurs automobiles MPC55XX
- EArchitecture interne du Copperhead (MPC5554)
- Multiplexage des broches du composant
- Espace alloué aux registres internes et à la mémoire

Le coeur e200

- Différences fondamentales entre la nouvelle architecture Book E et celle classique du PowerPC
- Acheminement et gestions des instructions (pipeline)
- Unité d'exécution Integer et Floating point
- Jeux d'instruction du SPE, capacité de traitement du signal et nouveaux types de données
- Calcul réel scalaire et vectoriel
- Fonctionnement de la MMU (32-entry fully associative translation lookaside buffer (TLB)), gestion de la taille des pages,
- Gestion matérielle des exceptions du TLB
- Attribut des pages WINGE
- Gestion des protections, partage et nombre des registres du PID
- Initialisation du TLB
- Etude du cache ne niveau1 (32kB unifiés), algorithme de remplacement «pseudo round-robin», 8 modes du set-associativity cache
- Les 8 entrées du store buffer
- Jeux d'instructions pour la gestion du cache
- Section ABI
- Gestion des exceptions par le BookE
- Timer du coeur CPU
- Emulation Nexus
- Watchpoint logic

DEUXIÈME JOURNÉE

Le contrôleur d'interruption

- Plus de 504 sources d'interruption gérées par le système
- Comparaison entre les modes vecteurs logiques et matériels
- Accélérateur matériel pour les ISRs : utilisation du vecteur 9-bits
- Gestion des priorités et de la préemption
- Les interruptions externes

L'implémentation matérielle du MPC555X

- Frequency modulated phase lock loop impact sur les EMI
- Configuration des broches du composant
- Configuration «halfword» du RESET
- Module de BOOT, 4 modes de démarrage
- Configuration de la MMU après l'exécution du BAM
- Séquences d'initialisation
- Interface externe, BUS et configuration des broches
- Contrôleur mémoire compatibilité avec flash SDR et SRAM
- Compatibilité avec les bus externes d'un MCP5XX
- Mode d'accès de la mémoire interne par un maître externe
- Burst mode
- Programmation des Chip-selects

TROISIÈME JOURNÉE

Mémoires internes du composant

- Mémoire interne 2 MB
- ECC intégré
- Protection via Censorship
- Lecture pendant une écriture
- Séquence d'effacement et de programmation
- SRAM interne (111kB) : Utilisation générique de la SRAM, su cache et du l'eTPU

eDMA et la matrice CROSSBAR

- Contrôleur d'entrée / sortie autonome
- Architecture de bus parallèle et gestion des accès concurrents
- Priorité programmable du maître par esclave
- 64 canaux indépendants avec possibilité d'interconnexion
- Stockage sur le port esclave
- Descripteur de transfert, blocs internes ou externes, fonction modulo
- Fonctionnalité Scatter / Sather
- Arbitrage DMA
- Remontée des erreurs DMA

QUATRIÈME JOURNÉE

L'eTPUs

- Traitement des événements temps réels, scheduling, gestion des priorités
- Le «Microengine»
- Nouvelles instructions de contrôle arithmétique et logique
- «Angle clock» matériel
- Support DMA
- Ressources partagées des deux eTPU
- Introduction des fonctionnalités QOM, NITC, PWM, SIOP, UART de l'eTPU
- Calcul du temps de latence maximal des canaux de services
- Environnement de développement pour l'eTPU et son Ashware debugger

L'eMIOS

- Introduction aux fonctions temporelles des 24 canaux unifiés
- Demande DMA par canal
- «Sérialisation / désérialisation» des connexions
- Demande d'interruption de l'eMIOS
- Sous-modules double action
- Sous-module PWM, centrage du signal
- Fenêtre programmable pour l'accumulation de temps
- Décodage en Quadrature

CINQUIÈME JOURNÉE

L'eQADC

- Multiplexage des entrées analogiques
- Résolution des conversions analogiques sur 12 bits
- Sources de déclenchement et gestion des files d'attente
- Mécanisme de priorité des conversions
- Cycle de conversion
- Les commandes et les données de l'eQADC
- Interface matérielle
- Correction d'erreur des conversions analogiques / numériques

Le DSPI

- Explication du protocole SPI et des opérations maître
- Commandes pour la gestion des files d'attente
- Programmation flexible des attributs par frame
- Séquence d'émission / réception

L'eSCI

- Bases sur le module UART
- Double buffering
- Modes de réveil
- Séquence d'émission / réception
- Support pour les opérations maître LIN

Le contrôleur FlexCAN

- Protocoles CAN de bases
- Structure des buffers de messages
- Masque de registres
- Capacité du mode «Listen-only»
- Processus d'émission / réception
- Compteur d'erreurs

Synthèse et conclusion